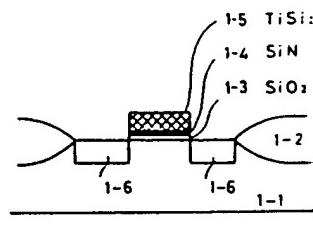


(54) FIELD EFFECT TRANSISTOR DEVICE AND ITS MANUFACTURE

(11) 4-134866 (A) (43) 8.5.1992 (19) JP
(21) Appl. No. 2-255118 (22) 27.9.1990
(71) TOSHIBA CORP (72) YUKIHIRO USHIKU
(51) Int. Cl^s. H01L29/784, H01L29/62

PURPOSE: To realize low resistance of a gate electrode by providing an gate structure which is formed by laminating an insulating film including a silicon nitride film and a metal.

CONSTITUTION: An isolation region 1-2 is provided to a surface of a semiconductor substrate 1-1. A gate electrode of a titanium silicide film 1-5 is formed in an element region through a silicon oxide film 1-3 and a silicon nitride film 1-4. Impurities of reverse conductivity of a semiconductor substrate is introduced to the gate and the isolation region selfmatchingly by ion implantation to form a source/drain region 1-6. Although silicide 1-5 is used as a gate, reaction with the silicon oxide film 1-3 is prevented by the silicon nitride film 1-4. Therefore, characteristic of a transistor is not unstabilized. Furthermore, a gate material of high conduction property is acquired.



⑫ 公開特許公報 (A) 平4-134866

⑤ Int. Cl. 5

H 01 L 29/784
29/62

識別記号

庁内整理番号

③ 公開 平成4年(1992)5月8日

G 7738-4M
8422-4M H 01 L 29/78 301 G
審査請求 未請求 請求項の数 6 (全5頁)

④ 発明の名称 電界効果トランジスタ装置及びその製造方法

② 特願 平2-255118

② 出願 平2(1990)9月27日

⑦ 発明者 牛久幸広 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑦ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑦ 代理人 弁理士則近憲佑

明細書

1. 発明の名称

電界効果トランジスタ及びその製造方法

2. 特許請求の範囲

(1) 半導体基板上に、少なくともシリコン窒化膜を1層含む絶縁膜と、金属が積層されてなるゲート構造を持つ電界効果トランジスタ装置。

(2) ゲート金属は高融点金属のケイ化物であることを特徴とする請求項(1)記載の電界効果トランジスタ装置。

(3) ゲート金属はTiN,TiV,TiC,VN膜と高融点金属層または、高融点金属のケイ化物であることを特徴とする請求項(1)記載の電界効果トランジスタ装置。

(4) 請求項(1)～(3)記載の電界効果トランジスタにおいてシリコン酸化膜をケイ化することによって少なくともシリコン窒化膜を1層含む絶縁膜を形成することを特徴とする電界効果トランジスタ装置の製造方法。

(5) 半導体基板上にシリコン窒化膜層を少なくとも1層有する絶縁膜層を形成する工程と、ポリシリコン層またはアモルファスシリコン層を堆積する工程と、次に高融点金属層を堆積する工程と、シリサイド化の熱処理工程とを含むことを特徴とする電界効果トランジスタ装置の製造方法。

(6) 半導体基板上にシリコン窒化膜層を少なくとも1層有する絶縁膜層を形成する工程と、高融点金属層を堆積する工程と、次に、ポリシリコン層または、アモルファスシリコン層を堆積する工程と、シリサイド化の熱処理工程とを含むことを特徴とする電界効果トランジスタ装置の製造方法。

3. ~~発明の目的~~ 説明~~【発明の目的】~~
【産業上の利用分野】

この発明はMOS電界効果トランジスタ装置及びその製造方法に関する。

(従来の技術)

第2図は、従来技術によるMOS電界効果トランジスタの構造を示す断面図である。半導体基板²⁻¹表面に素子分離領域²⁻²が設けられており

素子領域には、ゲート酸化膜²⁻³を介して、ポリシリコン²⁻⁴とチタンシリサイド²⁻⁵が積層されゲートを構成してある。このゲートと素子分離領域²⁻²に自己整合的に半導体基板と逆導伝形不純物をイオン注入により導入して、ソース、ドレイン領域²⁻⁶が形成されている。従来技術の問題点は大別して3つある。

1つはゲート電極の抵抗である。元来ポリシリコン²⁻⁴にシリサイド²⁻⁵を積層する目的は、ゲートの低抵抗化にあるが、従来技術の構造では、ポリシリコン²⁻⁴ポリシリコン²⁻⁴かつ存在する分だけ抵抗かつ高くなっている。

次はゲートポリシリコン中の不純物の再拡散である。従来技術においては、トランジスタのしきい値を制御するためゲートポリシリコン²⁻⁴は約 10^{20} cm^{-3} 程度のP形あるいはn形の不純物がドープされている。しかし、ゲートシリサイド²⁻⁵形成後の高温処理工程によって不純物はシリサイド²⁻⁵中へ抜けていきゲートポリシリコン²⁻⁴中

の不純物濃度は減少する。このためトランジスタのしきい値の制御が出来なくなったり、ゲート酸化膜²⁻³付近のポリシリコンがトランジスタ動作時に空乏化して、トランジスタの電流駆動力の低下を引き起こす。

第3の問題点はゲートポリシリコン²⁻⁴中へはP形あるいはn形の不純物と導入するしかないのと、チャネル領域の不純物プロファイル制御が難しい点である。つまり、例えばn形基板を用いて、ゲート不純物をn形とした場合は、ショートチャネル効果の抑制が難しく、ゲート不純物をP形とした場合は、トランジスタの電流駆動力が低下してしまう等の問題がある。

以上の問題を解決するためには、ゲート構造を、ポリシリコンとシリサイドの積層構造とするのではなくシリサイド単層構造とすることが望ましい。この場合には、積層構造の時よりも同じゲート厚さなら、低抵抗になるし、同じ抵抗にするなら、ゲート電極は薄くてすむので、後の平坦化プロセスが容易になる。

また、後の高温熱処理により不純物が再分布することもなく、シリサイドの仕事関数はp形半導体とn形半導体の中間に位置しているので、チャネルの不純物プロファイルの制御もしやすくなる。

しかし、シリサイド単層ゲートにしようとすると、シリサイドとゲート酸化膜が反応してトランジスタの動作自体が、不安定になってしまう。

(発明が解決しようとする課題)

従来技術ではゲート電極が十分低抵抗にならない。後の熱処理工程でゲート不純物が再拡散してしまうチャネルの不純物プロファイルが難しいなどの問題点がある。これを解決しようとシリサイドや金属を、ゲート材料に用いようとすると、ゲート酸化膜と反応してトランジスタ動作が不安定になるなどの問題点があった。

[発明の構成]

(課題を解決するための手段)

上記課題を解決するために、ゲート材料とゲート絶縁膜の反応を防止する膜としてシリコン空化膜をゲート絶縁膜中あるいは、ゲート材料との

界面あるいは半導体基板との界面に持ち、ゲート材料を金属あるいはシリサイドとする構造を特徴とする。

(作用)

反応防止膜として、シリコン空化膜を用いた場合にはゲート材料と、ゲート絶縁膜の反応は最上層のシリコン空化膜の上面で停止する。従ってトランジスタの動作は不安定にならない。

また、ゲート材料は金属またはシリサイドを用いることができる所以、ゲート電極の低抵抗化ができ、ゲート不純物の再拡散は、Tr特性に影響を与せず、仕事関数はP⁺シリコンとn⁺シリコンの間に位置するので、チャネルプロファイルの制御がしやすい。

(実施例)

第1図に本発明の第1の実施例を示すNOS電界効果トランジスタの構造を示す断面図である。半導体基板^H表面に素子分離領域¹⁻²が設けられており、素子領域には、シリコン酸化膜¹⁻³シリコン空化膜¹⁻⁴を介してチタンシリサイド膜¹⁻⁵

のゲート電極を構成してある。このゲートと発生子分離領域¹⁻²に自己整合的に半導体基板と逆導伝形不純物をイオン注入により導入して、ソース、ドレイン領域¹⁻⁶が形成されている。

シリサイド¹⁻⁵をゲートとして用いているにもかかわらず、シリコン窒化膜¹⁻⁴によってシリコン酸化膜¹⁻³との反応が防止されているので、トランジスタの特性は、不安定にならない。ゲート材料にシリサイドを用いた利点はすでに述べたとおりである。

第3図に第2の実施例を示す。シリコン窒化膜³⁻⁴は2つのシリコン酸化膜^{3-3, 3-5}にはさまれた構造になっている。

この例では、ゲート材料は高融点金属³⁻⁶を用いている。高融点金属ゲート材料³⁻⁶は直下のシリコン酸化膜³⁻⁵と若干反応しているが、シリコン窒化膜にまでは至っていない。

この例の場合、ゲート直下の SiO₂膜³⁻⁵はかなり厚くする必要があるが、シリコン窒化膜の透電率はシリコン酸化膜のそれと比べて十分大きい

CVD法により厚さ0.25μm、形成する。次にスパッタ法でTiを厚さ0.1μm TIN膜を厚さ200Å堆積する(第5図(a))。

次に700℃室素雰囲気でアニールすることで、第5図(b)に示すようにTi膜⁵⁻⁶とシリコン膜⁵⁻⁵が反応して、厚さ0.25μmのTiSi₂膜⁵⁻⁸が形成され、表面にTIN膜と未反応のTiがのこるが、過水とアンモニアを含む浴液に浸し加熱することで、除去できる。一方、TiSi₂膜が形成される時に下の酸化膜⁵⁻⁴と反応するが、少なくともシリコン窒化膜⁵⁻³で、反応を停止することができる。

第6図(a)(b)に、本発明の他の実施例を示す。

第5図の実施例とは、Ti膜⁶⁻⁵とシリコン膜⁶⁻⁶が逆になっている。この場合TIN膜の堆積の必要はないが、シリコン膜を酸化雰囲気で堆積すると、Ti膜が酸化されてしまうので、シリコン膜はスパッタなどの酸化雰囲気でない方法を選択する必要がある。

第7図(a)(b)は本発明の他の実施例で、シリコ

ので、実効的には薄い酸化膜と等価で、トランジスタの電流駆動力は大きいものにすることができる。

第4図に本発明の第3の実施例と示す。

シリコン窒化膜⁴⁻³は半導体基板との界面にあってもよい。またゲート絶縁膜^{4-3, 4-4}上にバリア層としてTiN膜を設けさらに、タンゲステンのゲート電極を構成することで、タンゲステン⁴⁻⁶とシリコン酸化膜⁴⁻⁴の反応は防止される。ただし、TiN膜とシリコン酸化膜の反応は若干起こる。この場合のシリコン窒化膜⁴⁻³の効果は、第2の実施例で示したとおりである。

以下ではHDS界効果トランジスタのゲート構造の製造方法について述べる。

第5図(a)(b)は製造工程を示す断面図である。半導体基板⁵⁻¹を850℃で熱酸化し50Åのシリコン酸化膜⁵⁻²を形成後CVD法によって、シリコン酸化膜⁵⁻³を50Å堆積し、さらに850℃で酸化することで50Åのシリコン酸化膜⁵⁻⁴を形成する。次にポリシリコンまたはアモルファスシリコンを

シリコン窒化膜の形成にかかる。

半導体基板⁷⁻¹を850℃で熱酸化した後、アンモニア雰囲気あるいは窒素雰囲気で、アニールすることで、表面にシリコン窒化膜を形成できる。この後の工程は、前記実施例に準ずる。

本工程によって、シリコン窒化膜を形成することはより薄いゲート絶縁膜をより簡単な工程で形成できる。

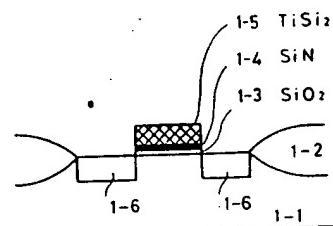
【発明の効果】

本発明によれば高伝特性のゲート材料を保ることができる。

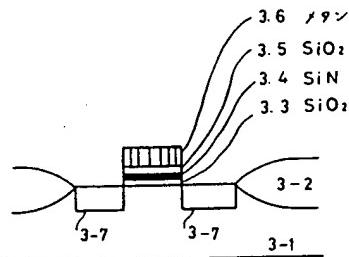
4. 図面の簡単な説明

第1図は本発明の実施例を示す、第2図は、ゲート構造の断面図、第3図、第4図は他の実施例を示す断面図、第5図、第6図、第7図は本発明の実施例の製造方法を示す断面工程図である。

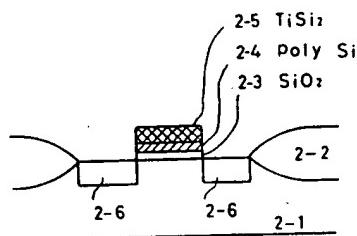
代理人弁理士 則近 篤佑



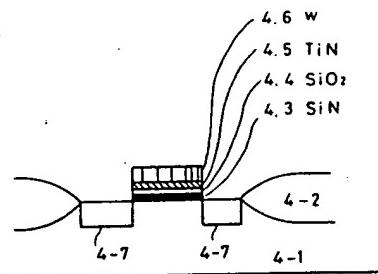
第1図



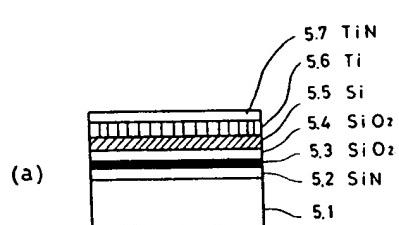
第3図



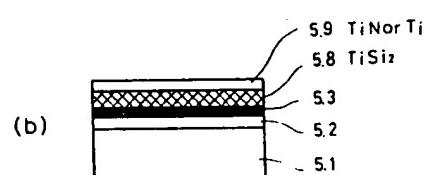
第2図



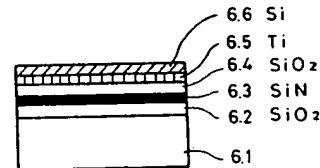
第4図



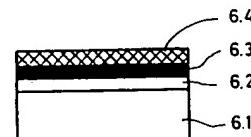
(a)



(b)



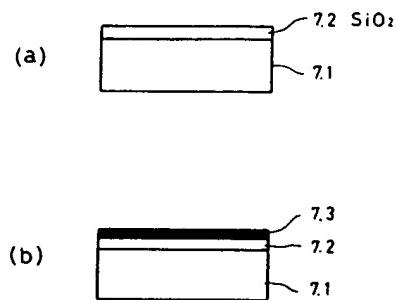
(a)



(b)

第6図

第5図



第 7 図